

■ 話題を追う

半導体後工程でゲームチェンジを目論む パッケージ基板製造装置と新工法

— 信越化学工業株式会社



小川 敬典 氏

Yoshinori Ogawa

信越化学工業株式会社
微小材料システム事業推進室
室長

● INTERVIEWER
北山信次（当社執行役員調査部長）

半導体後工程の技術革新

近年、半導体製造工程において後工程のパッケージング技術がより注目を集めるようになってきました。そこで、御社が開発された後工程半導体パッケージ基板の製造装置と新工法についてお話を伺いしたいと思います。

——はじめに半導体製造工程の中で、後工程に

注目が集まっている背景をご解説頂けますか。

小川 半導体の製造工程はシリコンウエハーの表面にトランジスタなどの素子や集積回路(IC)を作りこむ前工程と、チップを個片化してパッケージングする後工程に分かれています。これまで半導体の技術革新は前工程が主流となって、素子や回路を描く配線の線幅を微細

化することを突き詰めてきました。微細化によって、ウエハー1枚あたりからとれるICチップが増えてコストダウンにつながり、より小さなチップに大規模な回路を集積(System on Chip = SoC)することで、高性能化を実現してきました。さらに複数の素子が一つのチップの中に入ると、素子間の距離が近くなり電気的な損失が低下して電力消費も低くなります。つまり半導体の微細化によってチップの価値を向上させてきたという歴史があります。微細加工技術の進歩によって、チップ上に集積可能な素子の数が1.5年または2年ごとに倍増するという経験則、いわゆる「ムーアの法則」が実現できていました。

ところが近年では最先端の微細加工技術があ



まりに高度なため、製造中に生じる不良が高頻度で発生するようになってきました。より高性能なICの大規模化が進むとチップ面積も逆に大きくなる傾向があるため、歩留まり（良品率）の低下が起こっています。微細加工技術の進歩や成果を享受しつつ歩留まりを上げてコストダウンにいかにつなげるかが課題となっていました。そこで、後工程の工夫によって低下した歩留まりを改善する新たな技術として、「チップレット」に注目が集まっています。チップレットは、System in Package（SiP）という考え方で1チップに集積したSoCを複数のチップに個片化し、それをインターポーザというチップレット間をつなぐ基板上にのせて1パッケージに収める技術になります。この技術により更なる半導体市場の発展が見込まれることが、現在半導体後工程に注目が集まっている背景と考えます。

——インターポーザの役割は何でしょうか。

小川 インターポーザはチップをマザーボードに電氣的に接続するための中継基板です。チップの配線がものすごく微細化している昨今、様々な電子部品が接続されているマザーボードの配線に直接ICチップを接続することが難しくなり、中継基板としてパッケージ基板にチップ

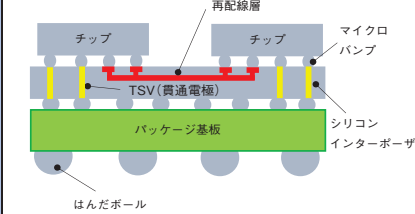
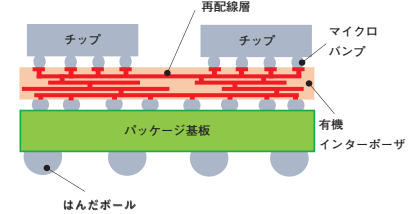
を搭載して、そのパッケージ基板をマザーボードに搭載する形をとります。現在ではSoCに代表されるように、チップの配線が非常に細かいのでパッケージ基板に搭載するための中継基板としてインターポーザが使われています。

インターポーザ上でCPU、メモリ、GPUなどの異なる半導体チップ間の電氣的接続を高密度に行い、一つのパッケージ内で統合してシステム全体の性能を最適化します。さらにインターポーザは配線長を短縮し、信号遅延や電力消費を大幅に削減し、高速かつ高効率なデータ通信が可能になります。特にサーバや高性能コンピューティング（HPC）、高帯域幅を必要とするアプリケーションで重要性が増しています。

——インターポーザの素材による違いはあるのでしょうか。

小川 素材としてシリコンや有機があります。シリコンインターポーザはシリコンウエハーに配線を施し、この上にチップを実装する中継基板です。半導体の前工程の技術で配線を形成するため、配線幅や配線間隔が1μm以下の微細加工が可能です。一方有機インターポーザは、パッケージ基板を微細化してインターポーザとして使用するという考え方です。材料・加工費用共に安く、コストメリットが大きいことが特

■図表 1. インターポーザの構造や特徴

	シリコンインターポーザ	有機インターポーザ
構造		
メリット	・半導体ウエハーの製造工程を流用 ・微細加工が可能 ・放熱性能が良い ・熱膨張係数のミスマッチが発生しにくい	・後工程の製造工程を流用 ・コストが安い ・高周波特性が良い
デメリット	・コストが高い ・高周波特性が悪い	・微細加工がしづらい ・熱膨張係数のミスマッチが発生しやすい

出所：各種資料を基に当部作成



微になります。他にもガラスインターポーザがありますが、熱膨張係数が小さくコストが安いというメリットがある一方、スルービア（ガラスコア基板インターポーザのガラスの表面と裏面をつなぐための貫通穴）のメタライズ（貫通穴を銅金属で埋め込むこと）が難しいことや、プロセス中にクラックが入って割れるなどハンドリングの面で難しいところがあります。

それぞれの素材にメリット・デメリットはあって、性能をより重視する場合はシリコンインターポーザが選ばれることが多いですが、性能とコストのバランスによってインターポーザの素材は使い分けられています。

素材技術と装置技術の融合により 半導体パッケージ基板製造装置を開発

——2024年6月に半導体パッケージ基板製造装置を開発されたとお聞きしています。同装置は半導体後工程のどのプロセスを担い、何をやる装置なのでしょう。

小川 今回開発した装置は高性能なエキシマレーザー加工装置で、後工程を経て個片化されたチップを接続するパッケージ基板を加工するプロセスで使います。インターポーザの機能を直接パッケージ基板に盛り込むことが可能で、具体的にはパッケージ基板の配線、電極パッドやビア（層間を電氣的に接続する導通穴）を作るために、有機絶縁層を微細に削る装置になります。インターポーザが不要になるだけでなく、従来工法では実現できなかった微細加工も可能とします。また、有機インターポーザの製造にも応用することができます。

——インターポーザが不要になるとは驚きです。後工程では材料をメインに展開している御社ですが、もともと半導体製造装置に関する知見はお持ちだったのでしょうか。

小川 当社の後工程材料で代表的なものとしては、チップをパッケージングするときに使用す

る封止材料や、チップをはんだなどで接続した後の隙間に充填するアンダーフィル剤、それから各種放熱材料などがあります。

装置開発の経緯からお話すると、2017年に新規事業開拓を目的としてプロジェクトが立ち上がりました。そのなかにマイクロLEDチップの製造プロセスを開発するプロジェクトがあり、そこで使用するために他社からエキシマレーザー事業を取得しました。そこで得た装置が半導体パッケージ基板の加工装置として応用できることがわかり、設計の見直しや改良を進めて今回の装置を開発し、パッケージ基板製造装置市場という新しい市場に進出することができました。

——装置開発に活かされた技術は何でしょうか。

小川 レーザー装置事業は外から獲得したものになるので、当社がもともと持っていた技術・製品という意味ではマスクブランクス（回路パターンが形成されるフォトマスクの材料）の技術です。当社が独自に開発できる装置の重要なコア技術の一つです。さらに当社はマスクブランクの基板となる合成石英製品も手掛けています。

パッケージ基板の細かな配線溝をレーザーで正確に加工するための技術は、マイクロLED向けで培ったレーザー発振と軸を同期させたスキャン加工技術です。スキャン加工では対象の軸を停止させずに加工を行うため、加工時間の短縮を可能にしています。この加工で重要なのはハードウェアとして高精度なステージを使用していることであり、マスク面とステージ面とその両方に対して高精度に軸補正を行う2Dマッピングによりスキャン加工を高精度化しています。今回の装置はレーザー事業を取得してから開発できたというわけではなく、そこにマスクブランクの技術を合わせることによって初めて開発できたと言えます。これは当社が目指している装置と材料の融合の一つの成功事例



になります。

——装置とともに新工法を開発されています。

小川 新工法は信越デュアルダマシン法と言って、前工程で使用するダマシン手法を後工程に応用したものになります。新工法は層間絶縁膜にレーザーアブレーション（レーザーで固体から物質を除去する加工方法）やエッチング（化学反応で材料表面を加工する方法）によって溝加工を施した後、その中に銅などの金属を堆積させ、余分な金属をCMP（化学機械研磨）により除去・平坦化する手法です。微細な金属配線用薄膜の加工が必要なくなるので、歩留まりの向上が可能になります。

一方、現在主流のセミアディティブプロセス（SAP）は、UV ドリルなどの穴あけ専用機でビアを形成し、ドライフィルムレジストをラミネートし、フォトリソで配線パターンを描画します。銅メッキにより配線とビアを形成したあとにレジストを除去する、という工法です。SAP では配線が ABF（層間絶縁材料）の上に搭載されるため表面が凸凹していて、その上に ABF を再度ラミネートしていくため微細化し

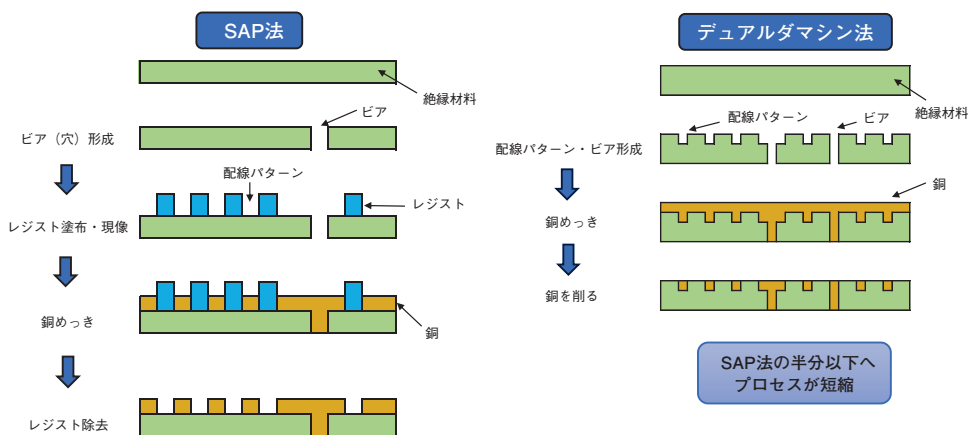
た配線が ABF から剥がれたり倒れたりすることがあります。また、ABF が配線間に十分に充填されないなどの問題も発生します。

加工時間という面では、SAP で UV ドリルを使用する場合はビア数が増えると加工時間も正比例して増えるのに対し、当社の装置では大型のマスクを使用して一括でスキャン加工をするため、加工時間はビア数にかかわらず一定となり、加工時間が短縮できます。2027 年に量産開始が見込まれる次世代半導体製造プロセス向けでは、配線パターン形成は従来の SAP で行い、ビア空け専用装置として当社装置の採用が見込まれています。

——これまでもパッケージ基板へ直接回路を形成する取り組みはありましたが、技術的に何が難しかったのでしょうか。

小川 おっしゃる通り直接加工は米国半導体メーカーを始めパッケージ基板メーカー、OSAT（半導体後工程受託製造企業）も長年開発を進めています。前工程で使用されるウェハーの表面を平らに磨く技術である CMP プロセスを、後工程でも導入する必要があることが

■図表 2. SAP 法（左図）とデュアルダマシン法（右図）の配線形成プロセス概略図



出所：各種資料を基に当部作成



コスト面で壁になっていたと感じます。もうひとつ、デュアルダマシンを正確かつ素早く行うために最適化された装置がなかったことが技術的に難しかった要因に挙げられます。これまで前工程で使用されるステッパー（縮小投影露光装置）をそのまま応用してきた経緯があり、当社装置のような大型マスクを使用するスキャニングタイプの装置を開発するに至らなかったことが、技術的に一番の問題だったのではないかと推察しています。

CMP プロセスが長くなるとその分コストもかかりますので、当社では CMP プロセスを短縮できるよう、まずグラインダー加工である程度平坦化したり、プレーナー加工をしたりすることを検討して、CMP 工程を短くするための工夫も行っています。CMP 装置も後工程用に最適化したものができていますので、配線の微細化ニーズに応えることで自然と当社装置・新工法の導入が進むものと考えます。

半導体後工程のゲームチェンジャー となり得るポテンシャルを秘める

——先ほど工程の短縮というお話がありました
が、コストダウンにもつながるのでしょうか。
小川 そう考えています。現行の工法ではパッケージ基板製造 1 ラインの構築費用が約 40 億円で、2027 年からの次世代半導体製造プロセス向けのパッケージ基板製造ライン構築費用はおおよそ 55-60 億円と見積もられています。それに対して当社の新工法では次世代向けラインで約半分のコストで済むと考えています。初期投資に差があることに加えて、レジスト工程がなくなるため全体のプロセスが半分以下に減ります。さらに、フットプリントと呼ばれる工場内の専有面積も大幅に縮小することができます。単純な比較はできませんが、中長期的な視点で考えた場合、デュアルダマシンの技術的な優位性とコストメリットは大きいと考えていま

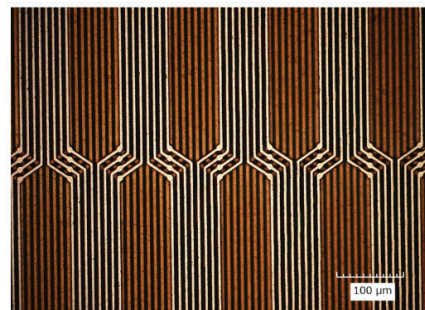
すし、実際にそういった評価も聞こえています。
——御社装置を導入するメリットは多いと感じ
ましたが、普及にあたってハードルなどはご
ざいますか。

小川 導入の一番のハードルとしては CMP 工程が増える点だと考えます。大型となるパネルサイズ（515mm×510mm）の基板を均一に平坦化するのには難しいですが、そこは研磨装置メーカーがこの技術課題に取り組んでいますので、あまり心配はしていません。

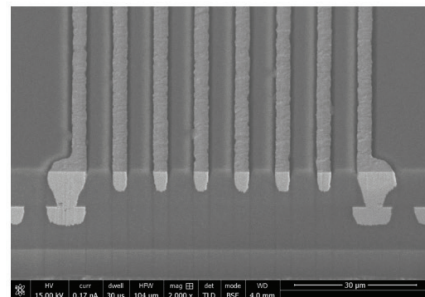
——装置の販売先はどこになるのでしょうか。

小川 通常は半導体パッケージ基板メーカーや OSAT になります。検証機という意味では、半導体メーカーへも販売しています。当社としては大手半導体メーカーが導入を決定すればスムーズに普及していくと考えているわけではありません。実際に導入していただくパッケージ

■図表 3. 同社開発装置で加工した基板



信越デュエルダマシン法で作成した2層サンプル（俯瞰写真）



2層サンプル断面写真

画像提供：信越化学工業



メーカーを中心に様々な顧客と直接話をする
ことで、顧客の抱える課題や技術・性能的な要求
を把握し、そういった顧客の困りごとを解決す
るために当社装置の導入が自然と進んでいくと
考えています。

——顧客はインターポーザレスのために導入す
るのでしょうか。

小川 そうとは限りません。もちろんインター
ポーザレスを目指して導入する顧客もいます
が、有機インターポーザを製造するために導入
する顧客もいます。先ほどもお伝えしたように、
SAP による配線パターン形成を継続したまま、
UV ドリルの代替として当社装置の導入を検討
している顧客もいます。顧客にとって新しい技
術の検討は更なる発展のために不可欠ですの
で、技術メリットをしっかりと実感していただき
つつ、各社各様の技術導入の仕方に対し、当社
として柔軟に対応したいと考えています。

——現在、ファンアウトや CoWoS、3D パッ
ケージなど様々なパッケージング技術があり
ます。今後の見方や御社装置の普及が次世代
パッケージ市場へどのような影響を与えるで
しょうか。

小川 当社が狙っているのは先端パッ
ケージで、用途としてはデータセン
ターのサーバや HPC 向けになります。
そこで一つのキーとなる技術がチップ
レットだと考えています。チップレ
ットに代表される技術革新はコンソーシ
アム創設やチップレット間のインター
フェースの通信方式標準化など、業界
に大きなうねりを起こし変革スピード
を加速させています。従来の技術では
そもそも 1 チップ化が困難な回路もあ
るなかで、微細化技術の高度化により
SoC を突き詰めてきました。しかし、
チップ上の全ての回路を回路特性に応
じてチップレット化すれば、最も適し

た製造技術で作ることができるので、更なる高
性能化、多機能化、低コスト化が実現する可能
性があります。それぞれ別の会社が設計製造し
たチップレットを集めて、大規模な SoP チ
ップを製造できるようにもなるため、新しい技術
の登場が半導体産業の業界や勢力図を一変させ
る可能性が出てきています。

——御社で考える市場規模はどれくらいを想定
されていますか。

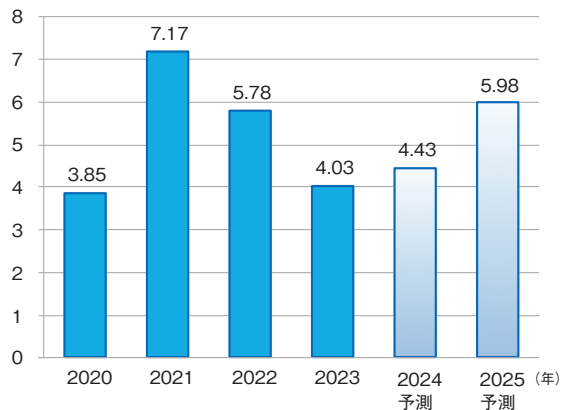
小川 半導体市場の裾野は広く、後工程半導体
市場も広がっています。その中で現在のパッ
ケージ基板の加工装置の市場規模は年間で
3,000 億円程度あると言われていますが、今後
さらに市場規模が大きくなると予想していま
す。当社は現在使用している装置を切り替えて
の導入を目指しているわけではなく、次世代の
技術として当社の加工装置がこの装置市場の主
流となるべく拡販を進めていきます。まずは
2027 年と 30 年に量産が始まるパッケージ基
板をターゲットに注力していきます。

——本日は大変貴重なお話をさせていただき、誠
にありがとうございました。

(対談日：9 月 2 日 福田)

■図表 4. 後工程半導体製造装置市場予測

(十億ドル)



注：後工程装置は組み立て及びパッケージング装置

予測は SEMI（国際半導体製造装置材料協会）

出所：SEMI リリース資料（2024 年 7 月 10 日）等を基に当社作成